

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

011271873 **Image available**

WPI Acc No: 1997-249776/199723

XRPX Acc No: N97-206205

LCD device used in flat panels, projectors - includes pair of switching units which switches connection of video signal supply unit with video signal input unit and data lines and supplies video signal to each data line orderly

Patent Assignee: TOSHIBA KK (TOKE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9081087	A	19970328	JP 95238782	A	19950918	199723 B

Priority Applications (No Type Date): JP 95238782 A 19950918

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 9081087	A	6	G09G-003/36	

Abstract (Basic): JP 9081087 A

The device has multiple data lines (1) and scanning lines (2) which are arranged in the form of a matrix on a first electrode substrate. A pixel electrode (4) and a switch element (3) are arranged at intersection of each data and scanning lights. A counter electrode (6) is arranged on the substrate of first electrode such that it opposes the substrate of second electrode. A liquid crystal (5) is arranged between the pixel and the counter electrodes. A data line drive circuit (7) includes multiple video signal supply units (8-1-8-4) and drives each data line based on the video signal input through a video signal input unit (9).

A first switching unit (10) controls the connection between the video signal input unit and the multiple video signal supply units. A second switching unit (11) controls the connection between the video signal supply unit and the data lines. The switching circuits are

operated such that the video signal passing through different signal paths and video signal supply unit is orderly supplied to one data line.

ADVANTAGE - Prevents display non-uniformity due to error in supply of video signal.

Dwg.1/6

Title Terms: LCD; DEVICE; FLAT; PANEL; PROJECT; PAIR; SWITCH; UNIT; SWITCH;
CONNECT; VIDEO; SIGNAL; SUPPLY; UNIT; VIDEO; SIGNAL; INPUT; UNIT; DATA;
LINE; SUPPLY; VIDEO; SIGNAL; DATA; LINE; ORDER

Derwent Class: P81; P85; T04; U14; W03; W04

International Patent Class (Main): G09G-003/36

International Patent Class (Additional): G02F-001/133

File Segment: EPI; EngPI

?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-81087

(43) 公開日 平成9年(1997)3月28日

(51) Int. Cl. ⁶

識別記号

F I

G09G 3/36

G09G 3/36

G02F 1/133

550

G02F 1/133

550

審査請求 未請求 請求項の数 2 O L (全6頁)

(21) 出願番号 特願平7-238782

(22) 出願日 平成7年(1995)9月18日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 佐藤 肇

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

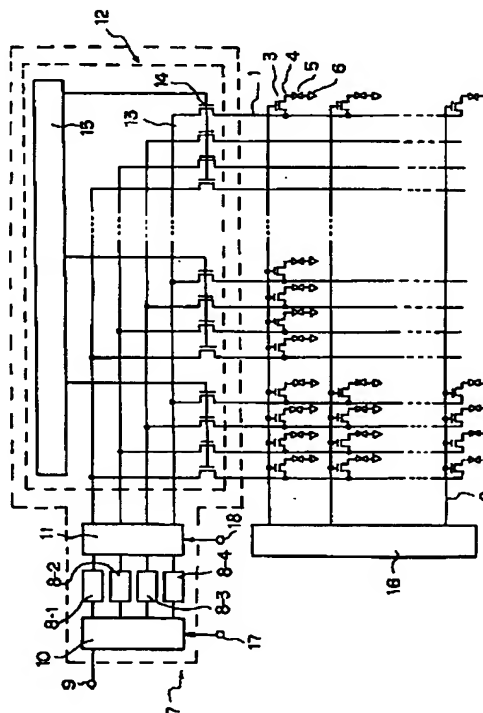
(74) 代理人 弁理士 須山 佐一

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 複数のビデオ信号供給回路を有する液晶表示装置において、特に中間調表示に際して、縦方向の表示ムラが発生することを防止することができ、高品位の表示を行うことのできる液晶表示装置を提供する。

【解決手段】 第1の電極基板上に、多数のデータ線1および走査線2がマトリクス状に配線され、データ線1と走査線2の各交点には、スイッチ素子3を介して画素電極4が形成されている。第1の電極基板に対向する第2の電極基板には、対向電極6が形成され、画素電極4と対向電極6の間に液晶5が挿入されている。データ線駆動回路7は、複数のビデオ信号供給回路8-1~8-4と、第1のスイッチング回路10と、第2のスイッチング回路11とを具備している。



【特許請求の範囲】

【請求項 1】 マトリクス状に配線された多数のデータ線および走査線と、これらのデータ線および走査線の各交点に配置された画素電極とを有する第 1 の電極基板と、

前記画素電極と対向して形成された対向電極を有する第 2 の電極基板と、

前記第 1 の電極基板および第 2 の電極基板との間に挟持された液晶層とを有する液晶表示装置において、

ビデオ信号入力部から入力されたビデオ信号に基づいて、前記データ線を順次駆動するデータ線駆動回路が、複数のビデオ信号供給回路と、

前記ビデオ信号入力部と複数の前記ビデオ信号供給回路との接続を制御するための第 1 のスイッチング回路と、複数の前記ビデオ信号供給回路と複数の前記データ線との接続を制御するための第 2 のスイッチング回路とを具備し、

一つの前記データ線に対して、異なった前記ビデオ信号供給回路を経由する複数種の信号経路を通ったビデオ信号を順次切換えて供給するよう構成されたことを特徴とする液晶表示装置。

【請求項 2】 マトリクス状に配線された多数のデータ線および走査線と、これらのデータ線および走査線の各交点に配置された画素電極とを有する第 1 の電極基板と、

前記画素電極と対向して形成された対向電極を有する第 2 の電極基板と、

前記第 1 の電極基板および第 2 の電極基板との間に挟持された液晶層とを有する液晶表示装置において、

ビデオ信号入力部から入力されたビデオ信号に基づいて、前記データ線を順次駆動するデータ線駆動回路が、複数のビデオ信号供給回路と、

これらの各ビデオ信号供給回路に設けられ、当該ビデオ信号供給回路の出力信号を補正する補正回路とを具備したことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フラットパネルやプロジェクタに用いられる液晶表示装置に関し、特に高品位の中間調表示を必要とする液晶表示装置に関する。

【0002】

【従来の技術】液晶表示装置は、薄型、低消費電力であるという長所があるため、CRTとの置き換えが始まっており、パネルサイズや画素容量についても大型、大容量のものが望まれている。大型、大容量の液晶表示装置に用いることができる従来技術として、例えば特開昭 57-201295 号公報に開示されているものが挙げられる。

【0003】この技術では、ビデオ信号をサンプルホールド回路を用いて複数の低周波数のビデオ信号に分割

し、これを各データ線によるサンプルホールド回路でサンプリングする方式を取っている。前記データ線によるサンプルホールド回路の速度は、データ線とビデオ信号線との間に挿入されるスイッチ素子の抵抗と、データ線の容量との時定数によって決まるが、パネルが大型化し、画素数が増加すると前記データ線の容量が増加するためビデオ信号を直接サンプリングすることができなくなる。そのため、前記構成のように複数の低周波数のビデオ信号を用意し、これをサンプリングする方式にすることによって、大型、大容量液晶表示装置を実現することが可能となる。

【0004】

【発明が解決しようとする課題】しかしながら、本発明者等の実験結果によれば、上述した従来の液晶表示装置では、その表示画像に、特に中間調表示の際に縦方向にブロック毎の表示ムラが発生することがわかった。

【0005】本発明は、かかる従来の事情に対処してなされたもので、複数のビデオ信号供給回路を有する液晶表示装置において、特に中間調表示に際して、縦方向の表示ムラが発生することを防止することができ、高品位の表示を行うことのできる液晶表示装置を提供することを目的とする。

【0006】

【課題を解決するための手段】請求項 1 記載の発明は、マトリクス状に配線された多数のデータ線および走査線と、これらのデータ線および走査線の各交点に配置された画素電極とを有する第 1 の電極基板と、前記画素電極と対向して形成された対向電極を有する第 2 の電極基板と、前記第 1 の電極基板および第 2 の電極基板との間に挟持された液晶層とを有する液晶表示装置において、ビデオ信号入力部から入力されたビデオ信号に基づいて、前記データ線を順次駆動するデータ線駆動回路が、複数のビデオ信号供給回路と、前記ビデオ信号入力部と複数の前記ビデオ信号供給回路との接続を制御するための第 1 のスイッチング回路と、複数の前記ビデオ信号供給回路と複数の前記データ線との接続を制御するための第 2 のスイッチング回路とを具備し、一つの前記データ線に対して、異なった前記ビデオ信号供給回路を経由する複数種の信号経路を通ったビデオ信号を順次切換えて供給するよう構成されたことを特徴とする。

【0007】また、請求項 2 記載の発明は、マトリクス状に配線された多数のデータ線および走査線と、これらのデータ線および走査線の各交点に配置された画素電極とを有する第 1 の電極基板と、前記画素電極と対向して形成された対向電極を有する第 2 の電極基板と、前記第 1 の電極基板および第 2 の電極基板との間に挟持された液晶層とを有する液晶表示装置において、ビデオ信号入力部から入力されたビデオ信号に基づいて、前記データ線を順次駆動するデータ線駆動回路が、複数のビデオ信号供給回路と、これらの各ビデオ信号供給回路に設けら

れ、当該ビデオ信号供給回路の出力信号を補正する補正回路とを具備したことを特徴とする。

【 0 0 0 8 】本発明者等が詳査したところ、前述したような従来の液晶表示装置における表示ムラは、複数の低周波数のビデオ信号を出力する複数のサンプルホールド回路の出力特性にわずかな差があり、このわずかな出力電圧の違いが表示特性のムラになっていることが分かった。

【 0 0 0 9 】そこで、請求項 1 の発明では、縦方向の表示ムラを空間的にまたは時間的に分散させ平均化することによって認知できないようにする。表示ムラは透過率の差としては非常に小さいが、1 直線上に並んでいるため人間の視覚特性により認知されてしまう。これを空間的あるいは時間的に分散、平均化することにより、通常の視聴条件ではムラを感じなくすることができる。

【 0 0 1 0 】ムラを時間的あるいは空間的に分散させるために、1 本のデータ線に書き込みを行うビデオ信号供給回路を特定のビデオ信号供給回路に固定せず、複数のビデオ信号供給回路を時分割で用いるようにする。これは、入力ビデオ信号と複数のビデオ信号供給回路の間に第 1 のスイッチング回路を設け、複数のビデオ信号供給回路と複数のデータ線との間に第 2 のスイッチング回路を設け、複数のデータ線へのビデオ信号の供給経路を複数用意し、複数の経路を時分割で切り替えることで実現される。

【 0 0 1 1 】また、請求項 2 の発明では、表示ムラの原因となる複数のビデオ信号供給回路の出力特性の差を、各々のビデオ信号供給回路に対して補正手段を設けることで補正する。これによって、複数のビデオ信号供給回路の出力特性が揃うので、表示ムラが発生しなくなる。

【 0 0 1 2 】

【発明の実施の形態】以下、図面を参照して、本発明の詳細を、実施の形態について説明する。

【 0 0 1 3 】本発明の液晶表示装置の実施の形態における等価回路の構成を図 1 に示す。同図に示すように、第 1 の電極基板上には、多数のデータ線 1 および走査線 2 がマトリクス状に配線され、これらのデータ線 1 と走査線 2 の各交点には、スイッチ素子 3 を介して画素電極 4 が形成されている。

【 0 0 1 4 】また、第 1 の電極基板に対向するように配置された第 2 の電極基板上には、一定電位に設定される対向電極 6 が形成されており、画素電極 4 と対向電極 6 の間に液晶 5 が挿入されて、液晶セルを形成している。

【 0 0 1 5 】また、データ線駆動回路 7 は、複数（図 1 に示す例では 4 つ）のビデオ信号供給回路 8 - 1 ~ 8 - 4 と、ビデオ信号が入力されるビデオ信号入力部 9 とビデオ信号供給回路 8 - 1 ~ 8 - 4 との接続を任意に制御するための第 1 のスイッチング回路 1 0 と、ビデオ信号供給回路 8 - 1 ~ 8 - 4 と複数のデータ線 1 との接続を任意に制御するための第 2 のスイッチング回路 1 1 と、

第 2 のスイッチング回路 1 1 と複数のデータ線 1 の間に挿入され、複数のデータ線 1 を複数のブロックに分割して駆動するためのブロック駆動回路 1 2 とから構成されている。

【 0 0 1 6 】また上記ブロック駆動回路 1 2 は、各データ線 1 とビデオ信号線 1 3 との間に挿入されたスイッチ素子 1 4 と、これらのスイッチ素子 1 4 をブロック毎に開閉するための駆動回路 1 5 とから構成されている。

【 0 0 1 7 】一方、走査線 2 は走査線駆動回路 1 6 によって走査される。本実施の形態においても、従来例と同様に、上述したデータ線駆動回路 7 と走査線駆動回路 1 6 を用いて、左上から右下に順次走査を行うことによって画素にビデオ信号を書き込む。

【 0 0 1 8 】なお、スイッチ素子 3、1 4 としては、ポリシリコン薄膜トランジスタ（以下ポリ S i T F T と略す）を用いることができる。また、データ線駆動回路 7 は、ポリ S i T F T を用いて第 1 の電極基板上に一体形成することができるが、駆動周波数が高く一体形成が困難な場合には、第 1 のスイッチング回路 1 0、第 2 のスイッチング回路 1 1 およびビデオ信号供給回路 8 - 1 ~ 8 - 4 を別途結晶シリコンを用いた L S I プロセスで形成することもできる。この場合、第 1 の電極基板上に実装しても良いし、T A B 上に実装する方法を取ることもできる。

【 0 0 1 9 】図 2、図 3 に、上述したビデオ信号供給回路 8 - 1 ~ 8 - 4 および第 1 のスイッチング回路 1 0、第 2 のスイッチング回路 1 1 の構成例を示す。

【 0 0 2 0 】図 2 はアナログビデオ信号に対応した回路例で、アナログスイッチ 2 0、容量素子 2 1 およびバッファアンプ 2 2 によるアナログサンプルホールド回路により、図 1 の第 1 のスイッチング回路 1 0 とビデオ信号供給回路 8 - 1 ~ 8 - 4 が構成されている。また、スイッチ素子 2 3 を用いたスイッチマトリクス回路 2 4 によって図 1 の第 2 のスイッチング回路 1 1 が構成され、上記アナログサンプルホールド回路の出力をこのスイッチマトリクス回路 2 4 に接続するよう構成されている。

【 0 0 2 1 】一方、図 3 はデジタルビデオ信号に対応した回路例で、図 1 の第 1 のスイッチング回路 1 0 としてデジタルラッチ回路 3 0、図 1 のビデオ信号供給回路 8 - 1 ~ 8 - 4 として A / D コンバータ 3 1、図 1 の第 2 のスイッチング回路 1 1 としてスイッチ素子 3 2 によるスイッチマトリクス回路 3 3 を用い、A / D コンバータ 3 1 の出力をスイッチマトリクス回路 3 3 に接続するよう構成されている。

【 0 0 2 2 】次に、上記構成の本実施の形態の動作について図 4 を用いて従来例と比較して説明する。なお、図 4 は液晶表示装置の表示部の一部を拡大して模式的に示すもので、図中斜線を付した部分は、表示ムラを示すものである。

【 0 0 2 3 】図 4 (a) は従来例による液晶表示装置、

図 4 (b) は本実施の形態による液晶表示装置の場合で、両者とも 4 つのビデオ信号供給回路のうち 1 つ (例えば図 1 の 8 - 2) の出力特性が他の 3 つとわずかに異なっており、表示ムラが発生している状態を示している。

【 0 0 2 4 】 従来例においては、 1 本のデータ線は常に特定のビデオ信号供給回路に接続されているため、図 4 (a) に示すように縦方向に直線状に表示ムラが発生し、透過率がわずかに違うだけでも人間の目には認識されてしまう。

【 0 0 2 5 】 これに対して本実施の形態においては、特定のデータ線に複数のビデオ信号供給回路から時分割で信号を供給している。これは、例えば、図 4 (b) については、各データ線 1 について 4 つのビデオ信号供給回路 8 - 1 ~ 8 - 4 の出力を 1 水平走査期間毎に 8 - 1、8 - 3、8 - 2、8 - 4 の順に切り替えることで実現している。この時、元のビデオ信号の時系列の順番と各データ線 1 に入力されるビデオ信号の順番は第 1 のスイッチング回路 1 0 を用いて同じにしている。これは、例えば、図 4 (b) の場合は、図中 1 で示すデータ線 1 に送るビデオ信号を $i \sim i + 3$ 行目について、7 - 1、7 - 3、7 - 2、7 - 4 の順に送ることで実現している。これらの操作は、コントロール回路 (図示せず) から第 1 のスイッチング回路 1 0 および第 2 のスイッチング回路 1 1 に送られるコントロール信号 1 7、1 8 によって制御される。

【 0 0 2 6 】 以上の動作により図 4 (b) に示すように表示ムラが空間的に分散、平均化され、縦方向のムラが認識されなくなる。

【 0 0 2 7 】 なお、以上説明した実施の形態においては、4 個のビデオ信号供給回路 8 - 1 ~ 8 - 4 を設けた例を説明したが、このビデオ信号供給回路数に制約はなく、任意の数の場合に同様の構成で同様の効果を得ることができる。また、1 本のデータ線と接続するビデオ信号供給回路の順番についても上述の実施の形態に示した順番に限らず、任意の順番とすることができ、同様の効果を得ることができる。さらに、ビデオ信号供給回路の順番について、乱数を用いた順番の決定を行うと、あらゆる種類の固定パターンの発生を防ぐことができるので、さらに均一性の良い画像表示を行うことができる。

【 0 0 2 8 】 また、以上説明した実施の形態においては、表示ムラを空間的に平均化することによって消しているが、これを時間的に平均化させても同様の効果を得ることができる。これは、例えば図 4 (b) において、各データ線と接続するビデオ信号供給回路の順番をフィールド毎に i 、 $i + 1$ 、 $i + 2 \cdots$ と変えていくことによって実現できる。この時、各画素についてはフリッカが発生するが、隣接画素でのフリッカが異なった位相で起き、平均するとフリッカレスになるので、通常の視聴条件ではフリッカが見えなくなる。

【 0 0 2 9 】 さらに、前記空間的および時間的な平均化を組み合わせると一層表示画像の均一性が良くなる。

【 0 0 3 0 】 次に、本発明の他の実施の形態の等価回路の構成を図 5 に示す。図中、前述の実施の形態と同一の構成を示す部分については同一の符号を付して、重複した説明は省略する。

【 0 0 3 1 】 図 5 は、データ線 1 の数と同数のビデオ信号供給回路 4 1 を設けた場合の構成を示すもので、図 1 に示した構成からブロック駆動を行うために挿入していたブロック駆動回路 1 2 が除かれ、第 2 のスイッチング回路 4 2 とデータ線 1 とが直接接続された構成となっている。ビデオ信号はビデオ信号入力部 4 3 より入力され、第 1 のスイッチング回路 4 4 により所定のビデオ信号供給回路 4 1 に送られ、ビデオ信号供給回路 4 1 の出力は第 2 のスイッチング回路 4 2 を通って特定のデータ線 1 に送られる。スイッチング回路 4 2 の動作は、コントロール回路 (図示せず) から送られるコントロール信号 4 5 によって制御される。

【 0 0 3 2 】 上記構成の装置において、1 本のデータ線 1 は、理論的には全てのビデオ信号供給回路 4 1 と時分割で接続することが可能であるが、このような構成とすると第 2 のスイッチング回路 4 2 の回路規模が大きくなってしまふ。実際には、1 本のデータ線 1 と接続するビデオ信号供給回路 4 1 をデータ線 1 の前後 3 本程度に抑えても、表示ムラを抑え良好な中間調表示を行うことができた。

【 0 0 3 3 】 本実施の形態においては、前記実施の形態と同様に回路全体をポリ S i T F T で構成しても良いし、駆動回路を結晶シリコンによる L S I を用いて構成しても同様の効果が得られる。また、表示部のスイッチ素子についてはポリ S i T F T のほかにアモルファスシリコン T F T 等を用いることもできる。

【 0 0 3 4 】 図 6 は、本発明によるさらに他の実施の形態の等価回路の構成を示すもので、本実施の形態では、複数のビデオ信号供給回路 8 - 1 ~ 8 - 4 の出力信号を、各ビデオ信号供給回路 8 - 1 ~ 8 - 4 に設けた線形補正回路 5 0 - 1 ~ 5 0 - 4 により補正して、出力信号間の誤差電圧をなくすことによって表示ムラの発生を抑えるよう構成されている。なお、線形補正回路 5 0 - 1 ~ 5 0 - 4 としては、補正データを記録した R O M とかけ算回路を用いた方式等が使用できる。

【 0 0 3 5 】

【 発明の効果 】 以上説明したように、本発明の液晶表示装置によれば、複数のビデオ信号供給回路間の線形性等のわずかな出力電圧の誤差により発生する表示ムラを抑えることができるようになり、多階調で表示品質の良好な液晶表示装置を提供することが可能になる。

【 図面の簡単な説明 】

【 図 1 】 本発明の実施の形態の回路構成を示す図。

【 図 2 】 図 1 の要部の回路構成例を示す図。

7

8

【図 3】 図 1 の要部の回路構成例を示す図。

【図 4】 本発明の実施の形態における駆動方法を説明するための図。

【図 5】 本発明の他の実施の形態の回路構成を示す図。

【図 6】 本発明のさらに他の実施の形態の回路構成を示す図。

【符号の説明】

1 ……データ線

2 ……走査線

3 ……スイッチ素子

4 ……画素電極

5 ……液晶

6 ……対向電極

7 ……データ線駆動回路

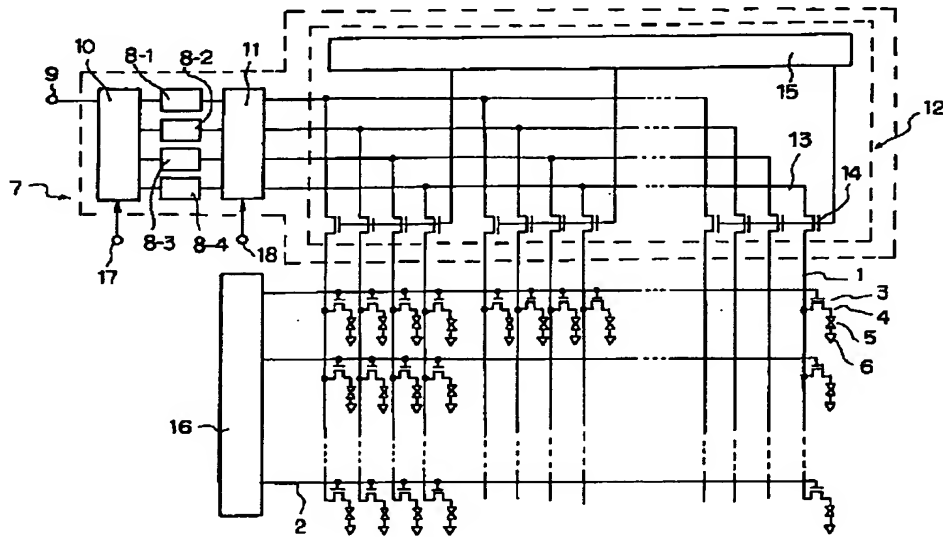
8 - 1 ~ 8 - 4 ……ビデオ信号供給回路

9 ……ビデオ信号入力部

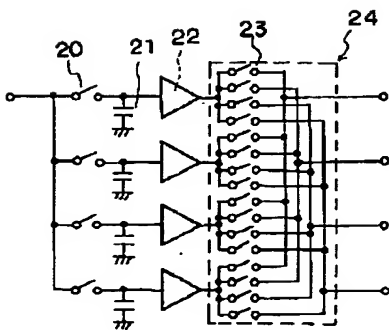
10 ……第 1 のスイッチング回路

11 ……第 2 のスイッチング回路

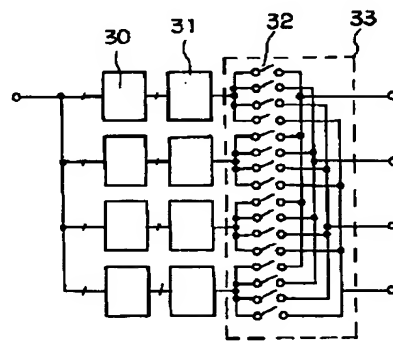
【図 1】



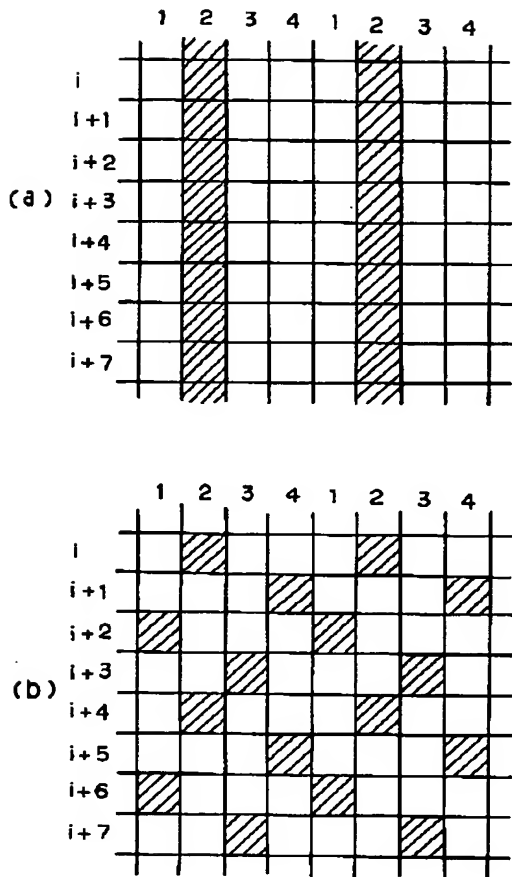
【図 2】



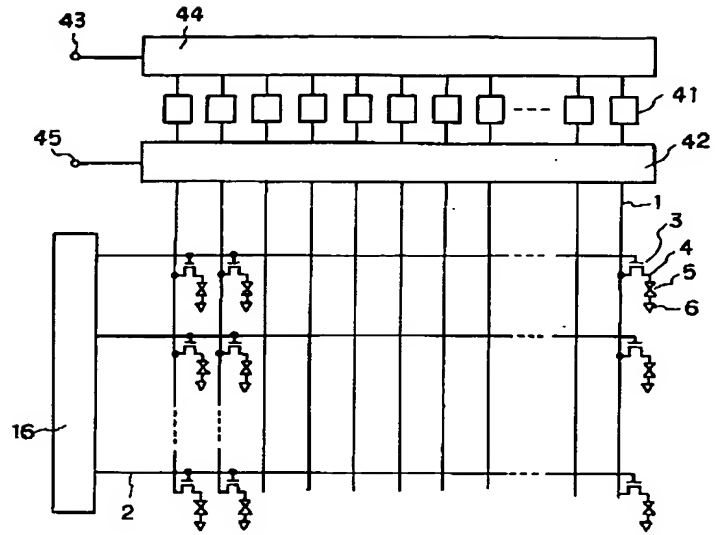
【図 3】



【図 4】



【図 5】



【図 6】

